

Können Sie sich das vorstellen: Da stehen sich Computer und Drucker gegenüber, und man kann die beiden nicht miteinander verbinden, weil der eine einen seriellen Ausgang und der andere einen parallelen Eingang hat. Dabei kann man beim Kauf des einen oder anderen Geräts nun wirklich nicht vorausahnen, welche Schnittstelle die "richtige" ist.

Schlecht informiert und etwas ratlos stehen die potentiellen Computerkäufer dann vor dem Ladentisch und vor dem Problem seriell oder parallel. An mehr oder weniger guten Ratschlägen und "Ich finde das aber besser" fehlt es meist nicht, und so wird schließlich ein Gerät gekauft, bloß weil es eine Schnittstelle mehr hat. Wer ein bißchen auf Zack ist (und Elektor liest) braucht sich in Zukunft nicht mehr um derartigen Kleinkram zu kümmern. Wir haben jetzt endgültig das noch fehlende Glied in der Kommunikationskette geschlossen: mit einem Verbindungsstück zwischen seriellen und parallelen Schnittstellen, das Datenaustausch in beiden Richtungen ermöglicht.

RS232/Centronics- Schnittstelle

Eigenschaften

RS232/Centronics-Schnittstelle mit Handshake-Leitungen

Betriebsart parallel-seriell

- gepufferte Centronics-Eingangsstufe
8 Datenleitungen
Strobe/Busy/Acknowledge
- RS232-Ausgang 0 V/5 V oder -12 V/5 V
Eingang Data Terminal Ready

Betriebsart seriell-parallel

- RS232-Eingang 0 V/5 V oder -12 V/5 V
Ausgang Data Terminal Ready
- gepufferte Centronics-Ausgangsstufe
Strobe/Busy/Acknowledge

Format der seriellen Daten

5, 6, 7 oder 8 Datenbits
Paritätsbit
1 oder 2 Stoppbits
Fehlernsignale (Parität, Format und Überlauf)

Übertragungsraten (in Baud)

zwei verschiedene Übertragungsraten möglich bei gleichzeitiger Umsetzung parallel-seriell und seriell-parallel:
75 - 109,9 - 135 - 150 - 200 - 300 - 600 - 1200 - 1800 - 2400 -
3600 - 4800 - 9600

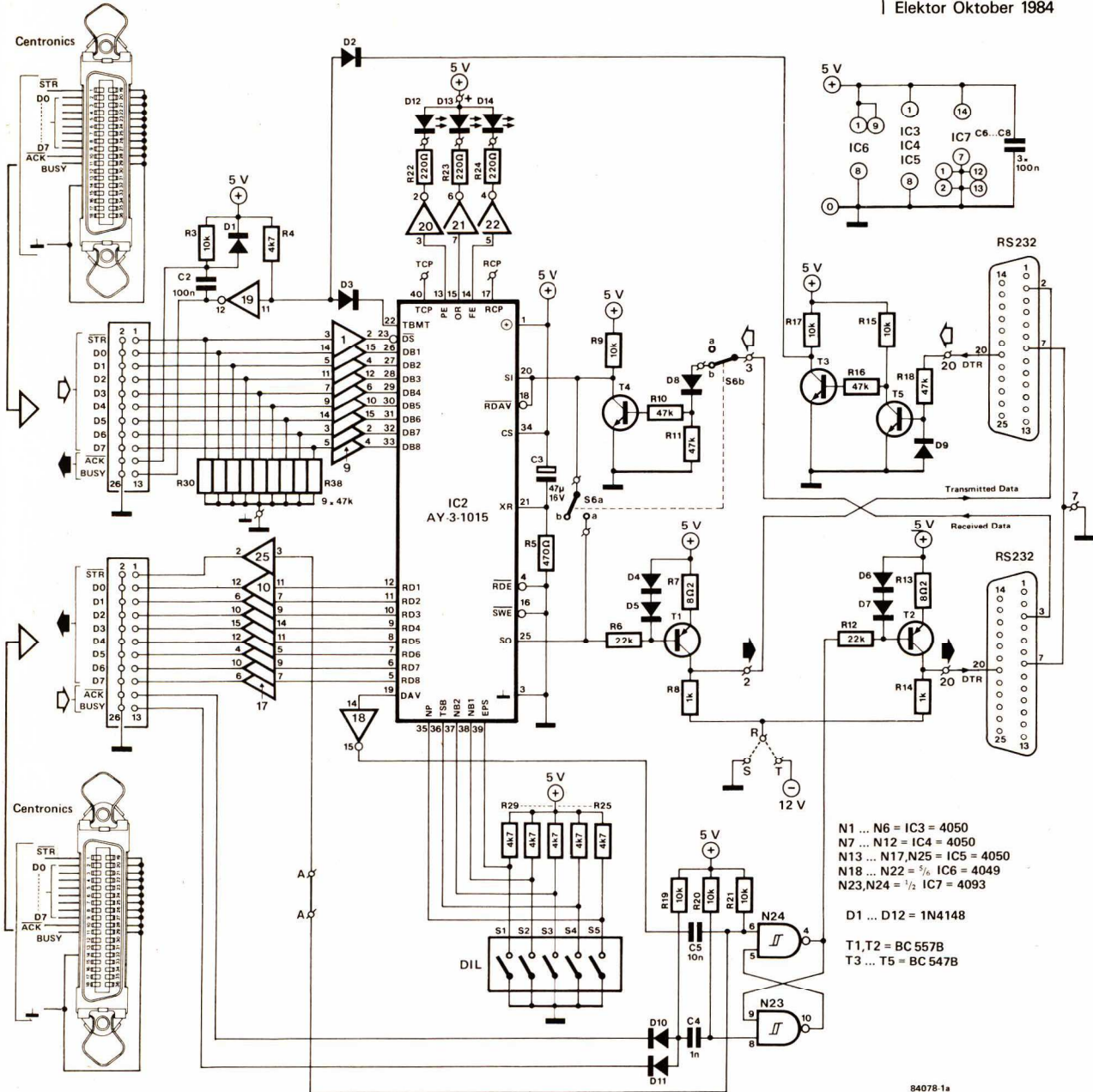
Kleiner Überblick

Für den Einstieg in die Materie haben wir eine Übersicht der wichtigsten Eigenschaften und Daten zusammengestellt. Die Schaltung selbst (Bild 1) sieht etwas monströs aus, aber mit ein paar Fakten ist die Sache gleich einfacher zu durchschauen. Der serielle Ausgang (Anschluß 2 des RS 232-Steckers) und der Ausgang DTR (data terminal ready = Terminal bereit, Anschluß 20 des gleichen Steckers) sind normale Stromquellen (T1 und T2), deren logische (High-)Pegel vom Anwender nach

Bedarf geändert werden können, wir kommen noch darauf zurück.

Der Ausgang DTR wird von einer bistabilen Kippstufe aus N23/N24 gesteuert, die selbst durch das Ausgangssignal DAV (Anschluß 19 von IC2) gesetzt wird. Das Initialisieren der Stufe läuft über die Centronics-Signale ACK oder BUSY ab; der logische Pegel am Ausgang der Kippstufe zeigt also an, wann der Seriell-/Parallel-Umsetzer in der Lage ist, die nächste serielle Information zu übernehmen. Ist die umgesetzte Information erst einmal von der Centronics-Peripherie akzeptiert worden, kann die nächste serielle Information anrollen. Auch dazu später mehr.

Die Schalter S1...S5 sind zum Programmieren des Datenformats (Anzahl der Daten- und Stoppbits und so weiter). Die drei LEDs zeigen eventuelle Fehler bei der Umsetzung von seriell in parallel an. Bei einem weiteren Blick auf Bild 1 entdeckt man noch die Eingangsstufen N1...N9 und die Ausgangsstufen N10...N18 für die Centronics-Schnittstelle; das "Ding" in Bild 1b ist der Baudrate-Generator. Damit man sich jedoch ein klares Bild von unserer Schnittstelle machen kann, kommen wir jetzt zum Aufbau des UART AY-3-1015, der übrigens für unsere Stammler kein Unbekanntes ist. In Bild 2 sieht man den schematischen Aufbau. Da sind zunächst einmal die Blöcke Übertragungssteuerung (parallel-seriell) und Empfangssteuerung (seriell-parallel), beide asynchron und getrennt aufgebaut. Daher haben die beiden Blöcke auch keinen gemeinsamen Takt, so daß diese Schnittstelle auch als Ver-



84078-1a

langsamer oder Beschleuniger der Übertragungsgeschwindigkeit (Baudrate) arbeiten kann. Der Block Übertragungssteuerung bekommt die gepufferten Daten parallel an seine Eingangsstufe geliefert. Nachdem das Freigabe-Signal (Data Strobe = DS) eingetroffen ist, gehen die Daten von der Eingangsstufe zu einem Schieberegister, und die Umsetzung beginnt. Schon bevor die Umsetzung beendet ist, wird die Eingangsstufe erneut freigegeben, und neue Daten werden übernommen. Das Kästchen mit dem Namen Empfangssteuerung funktioniert genau anders herum: Serielle Daten kommen in das Schieberegister, auch wenn noch "alte" Daten in der Ausgangsstufe stecken. Die Übertragung der umgesetzten Daten in die Ausgangsstufe kommt direkt danach, genau während des ersten Stoppbits.

Sobald dieser Prozeß abgelaufen ist, setzt der UART die Ausgangsleitung DAV (data available = Daten vorhanden) auf logisch 1, und das bedeutet: parallele Daten angekommen.

Von parallel nach seriell

Und jetzt geht's ans Eingemachte, sprich an die Details der Schaltung. Wie im Diagramm aus Bild 3 zu sehen ist, beginnt das Laden der 8 parallelen Bits mit der abfallenden Flanke des Freigabesignals aus der Centronics-Schnittstelle (STR = Strobe); dabei müssen die Daten schon stabil anliegen, wenn das Signal abfällt. Bei der ansteigenden Flanke des STR-Signals wird die Leitung TBMT (transmitter buffer empty = Übertragerpuffer leer) logisch 0 und gibt damit zu verstehen, daß der UART im Augenblick keine

Bild 1a. Diese Schaltung kann gleichzeitig von parallel nach seriell mit einer bestimmten Übertragungsfrequenz und von seriell nach parallel mit einer anderen Übertragungsfrequenz umsetzen. Wenn die Leitung DTR während der Umsetzung parallel-seriell nicht benutzt wird, muß sie mit +5 V verbunden werden.

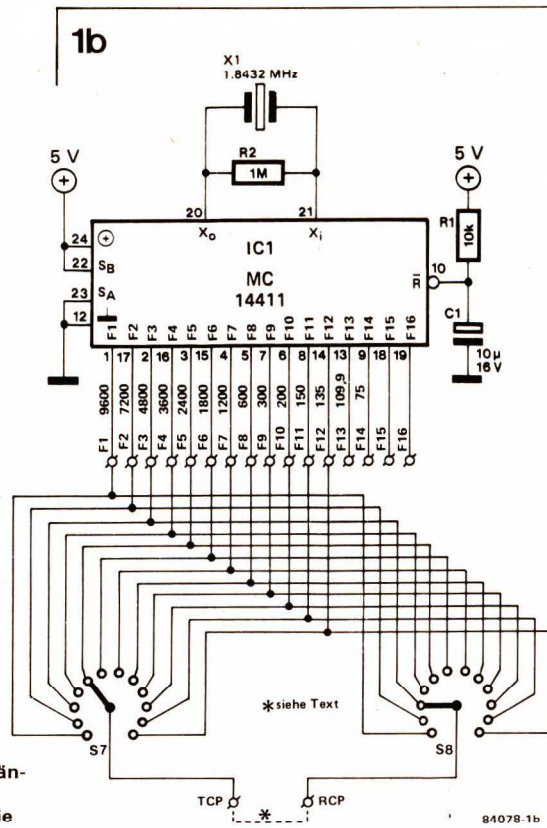
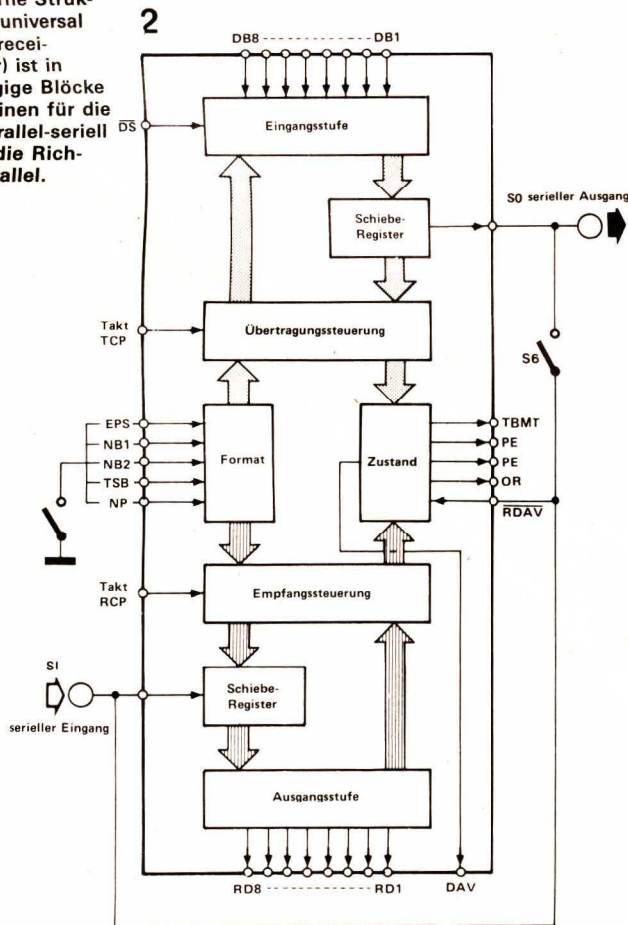


Bild 1b. Nur der Vollständigkeit halber: der Baudrate-Generator; die Ausgänge F15 und F16 werden nicht benutzt.

parallelen Daten mehr empfangen kann. Die Centronics-Leitung BUSY wird nun logisch 1. Da das Schieberegister der Ausgangsstufe leer ist, kann gleich der erste

Bild 2. Die interne Struktur des UART (universal asynchronous receiver/transmitter) ist in zwei unabhängige Blöcke aufgeteilt: in einen für die Umsetzung parallel-seriell und einen für die Richtung seriell-parallel.



Umsetzungsvorgang beginnen. Die 8 bit vom Eingangspuffer werden ins Schieberegister geladen; dabei wird die Leitung TBMT logisch 1, weil die Eingangsstufe frei ist. Die Leitungen BUSY und ACK werden logisch 0, wobei die abfallende Flanke des ACK-Signals dem Peripheriegerät anzeigt, daß die Daten vom Umsetzer empfangen worden sind.

Erscheinen die neuen Daten, obwohl das Schieberegister der Ausgangsstufe noch voll ist, werden sie in dem Puffer der Eingangsstufe "verstaubt", zunächst jedoch nicht weiterverarbeitet. Die BUSY-Leitung der Centronics-Schnittstelle bleibt logisch 1, bis die Datenübernahme möglich ist. Da die parallelen Daten jedoch immer während der Umsetzung der vorhergehenden Informationen geladen werden, gibt es weder Zeitverluste noch Überlaufen.

Wie dem auch sei, sollte das Gerät, das die umgesetzten Daten empfängt, aus irgendeinem Grund nicht mitkommen, muß es sofort die Eingangsleitung DTR (Anschluß 20 des RS 232-Steckers) auf logisch 0 setzen. Dieses Signal aktiviert über T3, T5 und D2 die Leitung BUSY, was den Fluß der parallelen Daten unterbricht. Wenn man nicht das Signal DTR verwendet (weil beispielsweise die Empfangsgeschwindigkeit für die seriellen Daten höher ist als die Sendefrequenz der parallelen Daten), muß diese Leitung auf jeden Fall ständig auf logisch 1 gehalten werden.

Von seriell nach parallel

Der Empfang der seriellen Daten beginnt, sobald das Signal auf der Leitung SI (serial in = seriell Ein) zum ersten Mal von logisch 1 auf "0" umspringt. Dieser niedrige Pegel muß mindestens eine halbe Bitzeit dauern, damit der UART ein Startbit erkennt. Diese abfallende Flanke bewirkt außerdem, daß die Ausgangsleitung DAV (data available = Daten vorhanden) über die Leitung RDAV auf logisch 0 gelegt wird.

Dadurch wird garantiert, daß die einmal umgesetzten seriellen Daten vom Schieberegister der Eingangsstufe in den Puffer der parallelen Ausgangsstufe übertragen werden können; dieser Puffer muß dazu natürlich leer sein. Ausschlaggebend ist dabei eigentlich nicht, daß der Puffer leer sein muß (was er in der Realität auch nie wird), sondern daß die zuletzt umgesetzte Information vom angesprochenen Gerät gelesen worden sein muß. Das Centronics-Protokoll erfordert, daß dieses Gerät das Laden einer Information anzeigt. Dazu wird die abfallende Flanke auf den Leitungen BUSY oder ACK verwendet. Das Diagramm aus Bild 4 zeigt, daß die Umsetzung beendet ist, sobald das erste Stopbit auftaucht; in diesem Moment wird die Leitung DAV des UART logisch 1 und aktiviert das Freigabesignal STR der Centronics-Schnittstelle. Die Ausgangsleitung DTR der RS232-Schnittstelle geht über das Flip-Flop N23/N24 auf logisch 0, um dem Absender der seriellen Daten zu melden, daß die vorher umgesetzten

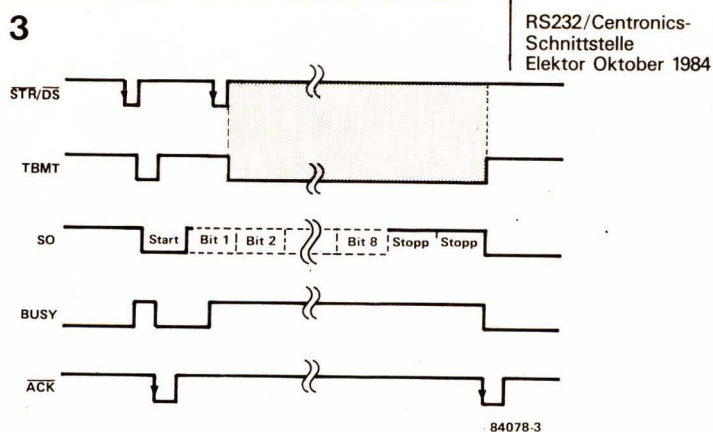
Daten noch nicht vom Empfänger geladen wurden. Hat der Empfänger erst einmal die parallelen Daten gelesen, erscheint auf der Leitung BUSY oder der Leitung ACK eine abfallende Flanke, die N23/N24 zum Kippen bringt. Die Ausgangsleitung DTR wird daraufhin logisch 1, und das bedeutet, daß der Umsetzer nun wieder serielle Daten verarbeiten kann. Die Leitung DAV könnte man übrigens mit der abfallenden Flanke der BUSY- oder ACK-Leitung (die man auf die Leitung RDAV legt) auf logisch 0 bringen, statt mit dem Startbit der Leitung SI, das auf dem Eingang RDAV liegt.

Sollte die Leitung DAV noch nicht auf logisch 0 gesetzt sein, wenn neue serielle Daten in der Ausgangsstufe ankommen, würde der UART eine Fehlermeldung ausgeben, indem er den Ausgang OR (overrun = Überlaufen) aktiviert. In unserem Fall wird die Leitung RDAV immer vom Startbit der neuen Information auf logisch 0 gesetzt, so daß die Leitung OR nie vom UART eingeschaltet wird. Es bleibt also dem Sender der seriellen Daten überlassen, die Ausgangsleitung DTR des Umsetzers zu überwachen. Der Ausgang PE (parity error = Paritätsfehler) des UART wird logisch 1, wenn der Empfänger einen Paritätsfehler entdeckt. Dieser Ausgang bleibt ständig auf logisch 0, wenn die Leitung NP (no parity = keine Parität, Schalter S5 ist jetzt offen) logisch 1 ist, das heißt kein Paritätsbit ist vorhanden. Die Ausgangsleitung FE (framing error = Umsetzungsfehler) wird logisch 1, wenn der Empfänger kein gültiges Stoppbit erhält. Diese Fehlermeldungssignale gelten natürlich nur beim Empfang von seriellen Daten. Dagegen hat die Programmierung des Formats (S1...S5, Tabelle 1) Einfluß auf Empfangen und Senden von seriellen Daten. In dieser Schaltung wird die Programmierung per Hand gemacht; sie kann aber auch beispielsweise mit dem Ausgangs-Port eines Mikroprozessors durchgeführt werden. Die logischen Pegel der Leitungen EPS, NBI, NB2, TSB und NP werden nur berücksichtigt, wenn die Leitung CS (Anschluß 34) logisch 1 wird oder, wie in unserem Fall, ständig "1" ist.

Tabelle 1.

S1	offen: gerade geschlossen: ungerade	
S4	offen: 2 Stoppbits geschlossen: 1 Stoppbit	
S5	offen: kein Paritätsbit geschlossen: gerade/ungerade	
S3	S2	Datenbits
geschlossen	geschlossen	5
geschlossen	offen	6
offen	geschlossen	7
offen	offen	8

3



84078-3

Bild 3. Zeitlicher Ablauf von Daten- und Handshake-Signalen bei einer Umsetzung von parallel nach seriell. Zu Anfang ist das Schieberegister des Ausgangs leer; wenn die zweite Information zum Umsetzen ankommt, ist die Umsetzung der ersten noch nicht beendet (gerasterte Fläche).

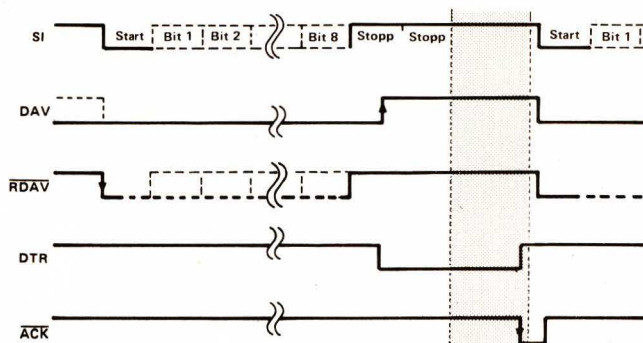
Aufbau

Nachdem wir die wesentlichen Punkte der Umsetzung parallel-seriell (und umgekehrt) besprochen haben, ein paar Bemerkungen zur Anwendung. Zunächst einmal: Es gibt eine Platine (Bild 5). Beim Bestücken bitte darauf achten, die Drahtbrücke A-A, direkt neben C5 und C1 und rechts neben IC5, zu legen. Das Widerstandsnetzwerk R30...R38 kann auch aus neun normalen Widerständen bestehen, die mit ihren freistehenden Beinchen an einen gemeinsamen Massepunkt angeschlossen werden. Ähnlich ist es bei den Dioden D12...D14, bei denen die Anoden mit +5 V verbunden werden. Achtung auch bei der Verdrahtung von Schalter S6: Wenn S6a geschlossen ist, muß S6b offen sein und umgekehrt. Der Eingang für die seriellen Daten ("3" in Bild 2) heißt im Bestückungsaufdruck S6b. Tatsächlich handelt es sich um den gemeinsamen Kontakt von S6b.

Der Stromverbrauch (+5 V) liegt bei ungefähr 50 mA; diesen Strom kann man bei Druckern mit Centronics-Ausgang abgreifen (dazu bitte im Handbuch des Druckers nachsehen). Die negative Spannung (-12 V) wird für die Signale der seriellen Ausgänge gebraucht, wenn der eingesetzte Empfänger nicht in der Lage ist, den logischen Pegel zu erkennen, der durch das Nullpotential der Masseleitung definiert ist. In diesem Fall wird die Draht-

Bild 4. Hier der umgekehrte Fall wie in Bild 5. Die Umsetzung der zweiten seriellen Information kann erst stattfinden, wenn die vorhergehende beendet ist (abfallende Flanke auf ACK).

4



84078-4

Stückliste

Widerstände:

- R1,R3,R9,R15,R17,R19...
...R21 = 10 k
- R2 = 1 M
- R4,R25...R29 = 4k7
- R5 = 470 Ω
- R6,R12 = 22 k
- R7,R13 = 8 Ω 2
- R8,R14 = 1 k
- R10,R11,R16,R18 = 47 k
- R30...R38 = 47 k (oder
9 x 47 k Array)
- R22...R24 = 220 Ω

Kondensatoren:

- C1 = 10 μ /16 V
- C2, C6...C8 = 100 n
- C3 = 47 μ /16 V
- C4 = 1 n
- C5 = 10 n

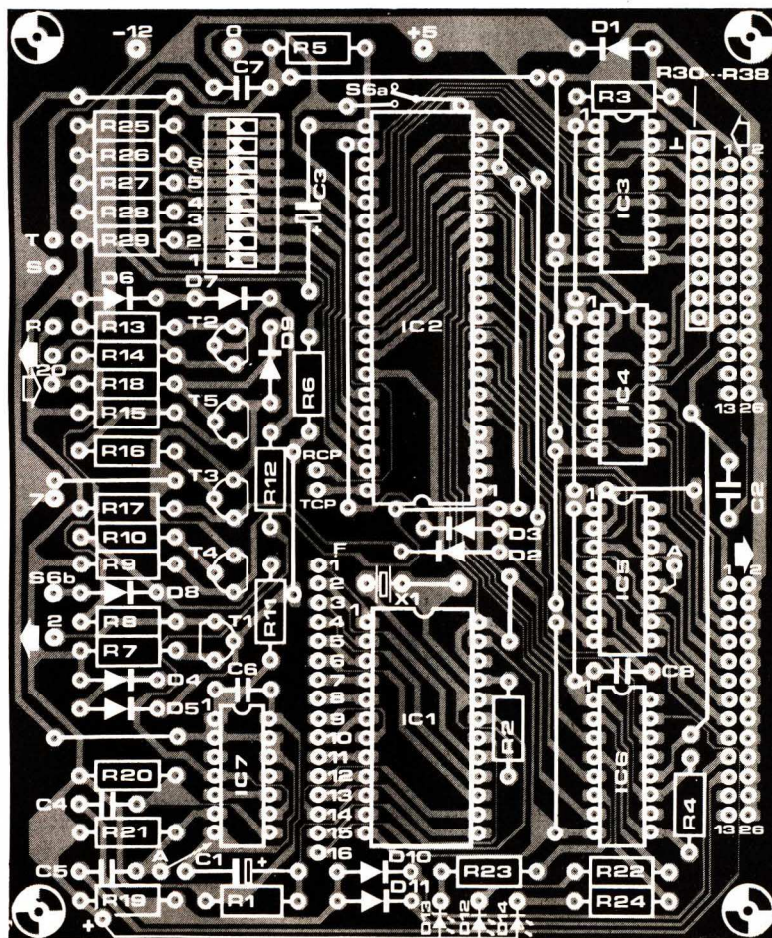
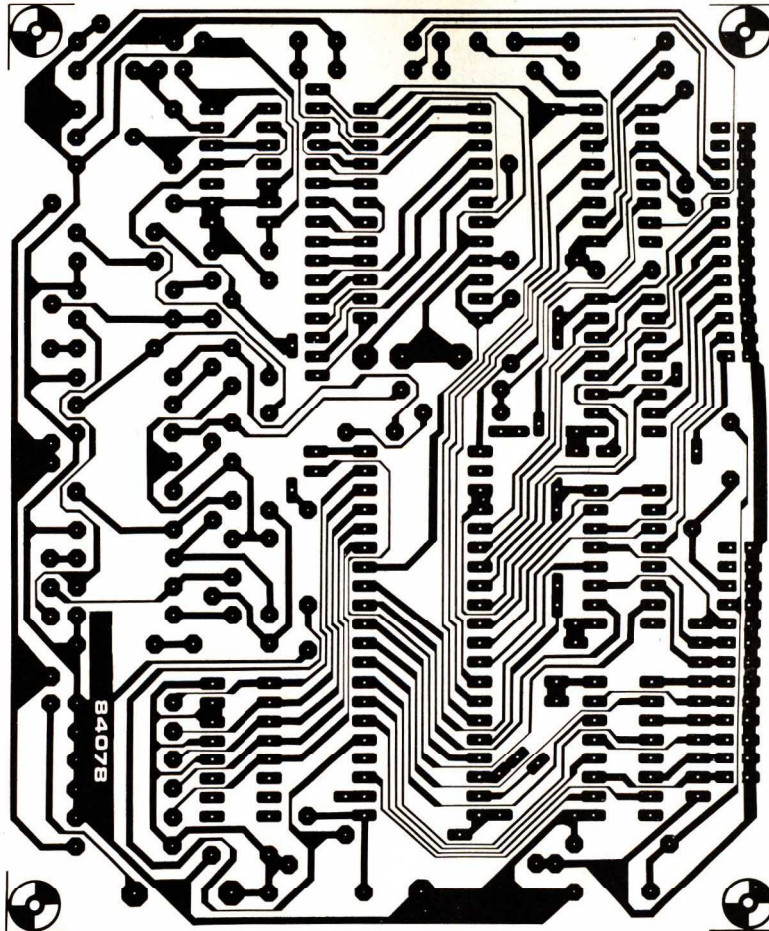
Halbleiter:

- D1...D11 = 1N4148
- D12...D14 = LED rot
- T1,T2 = BC 557B
- T3...T5 = BC 547B
- IC1 = MC 14411 (Motorola)
- IC2 = AY-3-1015 oder
Äquivalent (siehe Text)
- IC3...IC5 = 4050
- IC6 = 4049
- IC7 = 4093

außerdem:

- S1...S5 = 8-fach-DIL-
Schalter (3 Schalter
ungenutzt)
- S6 = doppelpoliger
Umschalter
- S7,S8 = Drehschalter 12
Stellungen
- X1 = 1,8432-MHz-Quarz
- 2 RS 232-Stecker (D-Typ)
- 25 polig, 1 Messer- und
1 Federleiste
- 2 Centronics-Stecker
- 26 polig, Messerleisten
Platine 84078

Bild 5. Alle Bauteile aus Bild 1a und 1b sind auf einer Platine, mit Ausnahme der Drehschalter, die man sich im übrigen auch schenken kann, wenn man nur mit einer festen Übertragungsrage arbeiten will. In diesem Fall wird eine Drahtverbindung zwischen die Punkte RCP/TCP und den betreffenden Ausgang des Baudrate-Generators IC7 (F1...F14) gelegt.



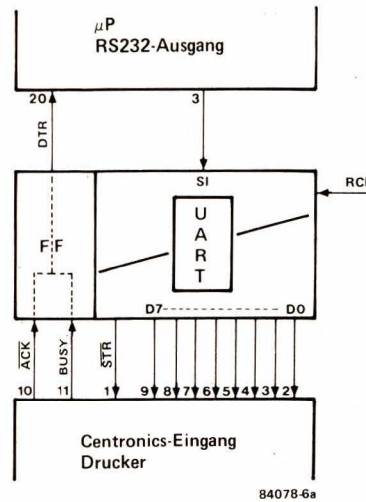
brücke R-T (anstelle von R-S) gelegt. Die Eingänge SI und DTR kommen mit logischen Pegeln von 5 V bis 0 V ebenso zurecht, wie mit 5 V bis -12 V. Für den AY-3-1015 gibt es verschiedene Äquivalente und Vorläufer, wie beispielsweise AY-5-1013 oder MM 5303, die beide eingesetzt werden können, wenn man -12 V an ihren Anschluß 2 führt.

Wenn Sie irgendwelche Änderungen an der Schaltung machen wollen, ein kleiner Hinweis: Es sind noch eine Pufferstufe und zwei NAND-Schmitt-Trigger von IC6 und IC7 übrig.

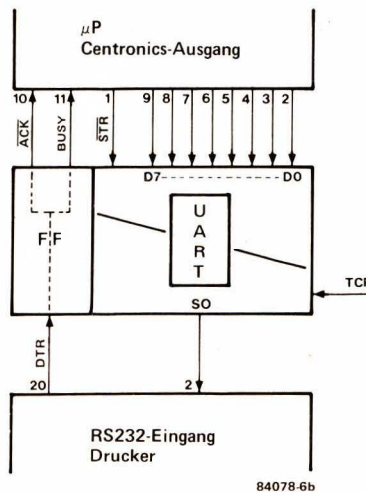
In Bild 6 sind die drei wichtigsten Betriebsarten aufgeführt. Bild 6a zeigt einen Rechner, der serielle Daten ausgibt und einen Drucker, der parallele Daten braucht. Die Bezeichnungen entsprechen denen eines D-Steckverbinders für RS 232- und Centronics-Schnittstellen. In Bild 6b hat der Rechner einen parallelen Ausgang und der Drucker einen seriellen Eingang. Wird das Taktsignal (das 16fache der gewünschten Übertragungsgeschwindigkeit) im ersten Fall (Bild 6a) auf den Eingang RCP des UART geführt, muß es im zweiten Fall auf den Eingang TCP gelegt werden.

Bei der Konstellation aus Bild 6c, muß das Taktsignal gleichzeitig an den Eingängen PCR und TCP liegen. Der Witz daran ist, daß man zwei verschiedene Taktfrequenzen verwendet, wodurch die Übertragungsrate verlangsamt oder beschleunigt werden kann. Wenn man das macht, wird der Centronics-Ausgang des Umsetzers mit einem Centronics-Eingang verbunden (die Signale für die Handshake-Leitungen auch). Bevor eine serielle Information gesendet wird, muß die Leitung DTR überprüft werden; das ist vor allem wichtig, wenn die Sendegeschwindigkeit über der Empfangsgeschwindigkeit liegt. Zum Schluß noch etwas über S6. Dieser Schalter ermöglicht es, die seriellen Daten aus dem UART direkt wieder in ihn einzuspeisen (local mode). S6a ist also in Stellung "a" und S6b in Stellung "b". Auf diese Weise kann man sich vergewissern, daß keine Fehler im Signal des seriellen Ausgangs sind (PE und FE). Nicht vergessen, die Leitung DTR auf logisch 1 festzulegen.

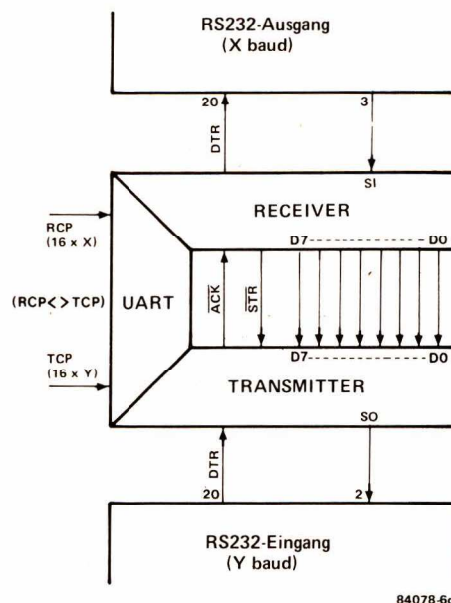
6a



6b



6c



RS232/Centronics-Schnittstelle
Elektor Oktober 1984

Bild 6a. So wird der Umsetzer zwischen einen seriellen Ausgang und einen parallelen Eingang geschaltet. Die Anschlußbelegung entspricht den normalerweise verwendeten Steckverbindern.

Bild 6b. Hier stellt der Umsetzer eine Verbindung zwischen einem parallelen Ausgang und einem seriellen Eingang her. Bei der Centronics-Schnittstelle sind die Signale ACK und BUSY beide erwähnt; in der Praxis braucht man aber nur eines auf einmal.

Bild 6c. Die Daten vom Ausgang der Centronics-Schnittstelle können wieder auf ihren Eingang zurückgeführt werden. Wenn man außerdem noch zwei verschiedene Taktfrequenzen einsetzt, wird die Übertragungsrate (Baudrate) entweder größer - $TCP > RCP$ oder kleiner - $TCP < RCP$.